

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-014392

(43)Date of publication of application : 17.01.1995

(51)Int.Cl.

G11C 16/06

G06F 3/08

G06F 12/16

(21)Application number : 05-142193

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.06.1993

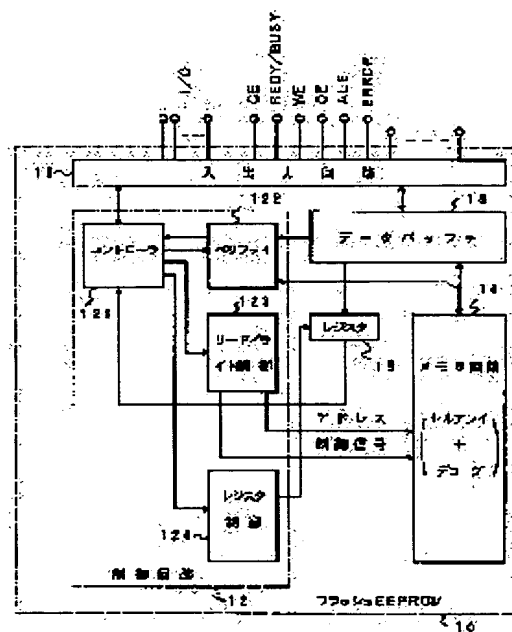
(72)Inventor : UEDA KUNIO

## (54) NONVOLATILE SEMICONDUCTOR MEMORY AND SEMICONDUCTOR DISK DEVICE USING THE SAME

### (57)Abstract:

**PURPOSE:** To make chip performance changable in accordance with uses by allowing the number of the maximum write-in trial of a flash EEPROM to be set to an arbitrary value.

**CONSTITUTION:** DATA for the number of maximum write-in trials indicating the maximum value of the number of write-in trials excuted repeatedly by a read/write control circuit 123 are set in a register 15 and the content of the register 15 is updated by a register rewriting command from the outside. Thus, users can set freely the value of the number of the maximum write-in trials and then the chip performance can be changed freely in accordance with uses of the flash EEPROM 10.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A memory cell array and the write-in means which writes the write-in data supplied from the outside in said memory cell array, A verification means to verify whether data write-in actuation was normally performed based on the existence of that coincidence as compared with said write-in data in the contents of data written in said memory cell array by this write-in means, A means to make said write-in means repeat and try write-in actuation when the error of data write-in actuation is detected by this verification means until normal activation of data write-in actuation is verified by said verification means, A data-hold means by which the count data of maximum write-in trial in which the maximum of the count of write-in trial repeated by said write-in means is shown are set, When it becomes the count specified with the count data of maximum write-in trial with which the count of trial of the write-in actuation by said write-in means is set to said data-hold means, An error notification means to notify outside the status signal which shows that a defect cel exists, Non-volatile semiconductor memory characterized by providing a renewal means of the count of maximum write-in trial to update the contents of said data-hold means according to the demand from the outside, and to change the value of said count of maximum write-in trial.

[Claim 2] Said non-volatile semiconductor memory is non-volatile semiconductor memory according to claim 1 characterized by being a flash EEPROM.

1[Claim 3] In the RAM disk equipment which has a flash EEPROM and the controller which carries out the access control of this flash EEPROM according to the demand from a host computer The write-in means which writes the write-in data with which said flash EEPROM is supplied from the controller of said RAM disk equipment in said memory cell array, A verification means to verify whether data write-in actuation was normally performed based on the existence of that coincidence as compared with said write-in data in the contents of data written in said memory cell array by this write-in means, A means to make said write-in means repeat and try write-in actuation when the error of data write-in actuation is detected by this verification means until normal activation of data write-in actuation is verified by said verification means, A data-hold means by which the count data of maximum write-in trial in which the maximum of the count of write-in trial repeated by said write-in means is shown are set, When it becomes the count specified with the count data of maximum write-in trial with which the count of trial of the write-in actuation by said write-in means is set to said data-hold means, An error notification means to notify the status signal which shows that a defect cel exists to said controller, RAM disk equipment characterized by providing a renewal means of the count of maximum write-in trial to update the contents of said register according to the demand from said controller, and to change the value of said count of maximum write-in trial.

[Claim 4] In the RAM disk equipment which has a flash EEPROM and the controller which carries out the access control of this flash EEPROM according to the demand from a host computer The write-in means which writes the write-in data which said controller carries out the access control of said flash EEPROM, and are supplied by said host in said flash EEPROM, A verification means to verify whether data write-in actuation was normally performed based on the existence of that coincidence as compared with said write-in data in the contents of data written in said flash EEPROM by this write-in means, A means to make said write-in means repeat and try write-in actuation when the error of data write-in actuation is detected by this verification means until normal activation of data write-in actuation is detected by said verification means, If the count data of maximum write-in trial in which the maximum of the count of write-in trial repeated by said write-in means is shown are set When it becomes the count specified with the count data of maximum write-in trial with which the count of trial of the write-in actuation by said write-in means is set to said data-hold means, An error notification means to notify the status signal which shows that a defect cell exists to said host computer, RAM disk equipment characterized by providing a renewal means of the count of maximum write-in trial to update the contents of said register according to the demand from said host computer, and to change the value of said count of maximum write-in trial.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the RAM disk equipment which used non-volatile semiconductor memory and it.

[0002]

[Description of the Prior Art] Many of information processors, such as the conventional workstation and a personal computer, used the magnetic disk drive as a store. While a magnetic disk drive has an advantage, like a bit unit price with the high dependability of record is cheap, it has a fault, such as being weak, in a physical impact with the great size of equipment.

[0003] That is, a magnetic disk drive is the principle of operation of writing in data magnetically on a rotation disk, or reading them, by running the magnetic head on a rotation disk front face. A part for the mechanical moving part called this rotation disk and magnetic head has a possibility that malfunction and failure may occur, by giving a physical impact to equipment. Moreover, needing such mechanical moving part has been the failure which makes size of the whole equipment small.

[0004] For this reason, although it seldom becomes trouble for using a magnetic disk drive by computer of the desktop type used fixing on a desk, in a laptop computer possible [ carrying ] and small or a notebook computer, these faults pose a big problem.

[0005] Then, attentions have gathered for silicon disc equipment strong also against an impact with it in recent years. [ the small size of equipment, and ] [ physical ] The flash EEPROM whose silicon disc equipment is nonvolatile memory in which package elimination is possible electrically is used as secondary storage, such as a personal computer, like the conventional magnetic disk drive etc. Since the amount of mechanical moving part like a magnetic disk drive is not in this silicon disc equipment, it is hard to generate malfunction and failure by the physical impact. Moreover, there is an advantage, like the size as equipment also becomes small.

[0006] However, the flash memory which is the component of this silicon disc equipment has the description that the oxide film in that memory cell deteriorates gradually, by the repeat of the data writing / elimination to the same memory cell. When degradation of an oxide film progresses, it becomes impossible to perform writing and read-out of right data. For this reason, the threshold value of the count of rewriting of a flash memory is restricted to the count of about the 6th [ or less ] power of 10. The threshold value of this rewritable count cannot necessarily say it as sufficient value, in order to use the silicon disc equipment which has a flash memory as storage of a computer like a magnetic disk drive etc.

[0007] It is detected using program verification actuation whether the threshold value of a rewritable count was reached. This program verification actuation is actuation by which follows data write-in actuation and automatic activation is carried out within a flash memory, and that actuation is as follows.

[0008] That is, in program actuation of a flash memory, first, data write-in actuation is performed according to the write-in address and the write-in data from the outside, and, subsequently program verification actuation for the check of whether the data write-in actuation was performed normally is performed. In this program verification actuation, if the actual contents of data written in the memory cell are compared with the light data currently held at the register in a flash memory and it is in agreement, the status which shows Verification O.K. will be outputted to an external circuit from a flash memory, and program actuation will be ended.

[0009] On the other hand, in the case of an inequality, data write-in actuation is retried and program verification actuation is performed again after that. Retry of data write-in actuation is repeated until it becomes Verification O.K. In this case, if constant value with the count of a repeat of retry is exceeded, the status which shows a write-in failure will be outputted to an external circuit from a flash memory. It is judged that an external circuit has a memory cell beyond the count which can be written in in the storage region where it corresponds in a flash memory once it receives the status which shows a write-in failure. And correspondence of not using the storage region henceforth is taken, or chip exchange of the flash memory etc. is performed.

[0010] However, in the former, since the count of the maximum trial of data write-in actuation was the fixed value decided for every chip of a flash memory, fault like the next occurs depending on the use application of a flash memory.

[0011] That is, although the duration of service of a flash memory may become short, if it is not [ when it is the application that quick drawing speed is required ] after performing 20 trial to the same field when the worst supposing the count of maximum write-in trial is set to 20 times, it can shift to the following data write-in actuation.

[0012] If a user can reset the count of maximum write-in trial as a lower value, the frequency judged to have exceeded the count which can be written in will go up, and the estimated usable period of a chip will be shortened. On the other hand, since the average of the count of data writing actually performed within the chip of a flash memory to one certain program instruction decreases, the actual value of drawing speed can be raised.

[0013] That is, the life and its write-in mean velocity of a flash memory are influenced by the value of the count of maximum write-in trial. Therefore, when the conventional flash memory to which the value of the count of maximum write-in trial is being fixed is used, the fault that only a certain fixed engine performance is realizable arises irrespective of the application of the flash memory.

[0014]

[Problem(s) to be Solved by the Invention] By the conventional memory, since the value of the count

of maximum write-in trial was specified fixed, there was a fault as which the chip engine performance containing the life and data drawing speed of a chip will be specified uniquely.

[0015] This invention was made in view of such a point, and enables it to set the count of maximum write-in trial as any value, and it aims at offering the non-volatile semiconductor memory which can change the chip engine performance freely according to an application.

[0016]

[Means for Solving the Problem and its Function] A write-in means by which the non-volatile semiconductor memory of this invention writes a memory cell array and the write-in data with which it is supplied from the outside in said memory cell array, A verification means to verify whether data write-in actuation was normally performed based on the existence of that coincidence as compared with said write-in data in the contents of data written in said memory cell array by this write-in means, A means to make said write-in means repeat and try write-in actuation when the error of data write-in actuation is detected by this verification means until normal activation of data write-in actuation is verified by said verification means, A data-hold means by which the count data of maximum write-in trial in which the maximum of the count of write-in trial repeated by said write-in means is shown are set, When it becomes the count specified with the count data of maximum write-in trial with which the count of trial of the write-in actuation by said write-in means is set to said data-hold means, It is characterized by providing an error notification means to notify outside the status signal which shows that a defect cel exists, and a renewal means of the count of maximum write-in trial to update the contents of said data-hold means according to the demand from the outside, and to change the value of said count of maximum write-in trial.

[0017] in this non-volatile semiconductor memory, the count data of maximum write-in trial in which the maximum of the count of write-in trial repeated by the write-in means is shown are boiled and set to the data-hold means, and the contents of that data-hold means are updated according to the demand from the outside. Therefore, a user can set up now freely the value of the count of maximum write-in trial, and it becomes possible to change the chip engine performance freely according to the application of the memory.

[0018] For example, if the count of maximum write-in trial is set as 20 times or more of comparatively big values, the probability of occurrence of the status signal which shows that a defect cel exists becomes low, and can prolong the life of non-volatile semiconductor memory as a result. On the other hand, if the count of maximum write-in trial is set as 10 or less times of comparatively small values, although the probability of occurrence of the error status which shows that a defect cel exists will become high and the life of a chip will become short, average drawing speed can be raised remarkably.

[0019]

[Example] Hereafter, the example of this invention is explained with reference to a drawing. The logic in the chip of the flash EEPROM concerning one example of this invention is shown in drawing 1 . This flash EEPROM 10 is the memory of a NAND mold, the writing of data is performed per 512 bytes of page, and data elimination is constituted so that it may perform per 4 K bytes of block.

[0020] The I/O circuit 11, the control circuit 12, the data buffer 13, and the memory circuit 14 are formed in this flash EEPROM 10 like illustration, and accumulation formation of these is carried out on the same chip.

[0021] The I/O circuit 11 is for delivering and receiving the address, data, and various control signals between external circuits, and is combined with various I/O pins. a flash EEPROM -- ten -- a pin --

\*\*\*\* -- data -- I/O -- a pin (I/O) -- chip enable -- a signal -- an input -- a pin -- (-- CE --) -- a ready --  
 /-- a busy signal -- an output -- a pin (READY/BUSY) -- write enable -- a signal -- an input -- a pin --  
 - (-- WE --) -- output enable -- a signal -- an input -- a pin -- (-- OE --) -- the address -- a latch -- an  
 enable signal -- an input -- a pin (ALE) -- an error signal -- an output -- a pin (ERROR) -- etc. --  
 containing -- having -- \*\*\*\* .

[0022] A data I/O pin (I/O) is used also for the input of the address besides I/O of read/write data, or a command. Assignment of the modes of operation (a light, a lead, elimination, verification, etc.) of a flash EEPROM 10 is performed by the command. For example, the light address, RAIDO data, and a light command are inputted into a data I/O pin (I/O) in order at the time of data writing, and data write-in actuation of a flash EEPROM 10 is performed by this. In this case, the light address and a light command are sent to a control circuit 12 from the I/O circuit 11, and light data are sent to a data buffer 13 from the I/O circuit 11.

[0023] Moreover, there is also a register rewriting command among the commands inputted through a data I/O pin (I/O). This register rewriting command directs modification of the count information of the maximum writing set to the register 15.

[0024] A control circuit 12 performs rewriting control of a register 15 for motion control, such as a light of a memory circuit 14, a lead, elimination, and verification, at first. Actuation of this control circuit 12 is controlled according to a command.

[0025] In the control circuit 12, the controller 121, the verification circuit 122, the read/write control circuit 123, and the register control circuit 124 are included like illustration. A controller 121 interprets an input command and controls the verification circuit 122, the read/write control circuit 123, and the register control circuit 124 according to the contents of the input command.

[0026] The verification circuit 122 compares the light data which remain in the contents of data written in the memory cell array in a memory circuit 14, and a data buffer 13, and detects whether based on the existence of the coincidence, data write-in actuation was performed normally. This detection result is sent to a controller 121.

[0027] The read/write control circuit 123 is for controlling the writing of data to the memory cell array in a memory circuit 14, read-out, and elimination, and supplies the address and various control signals to a memory circuit 14.

[0028] The register control circuit 124 controls the writing of the count data of maximum write-in trial to a register 15. The count data of maximum write-in trial written in this register 15 are read by the controller 121.

[0029] A data buffer 13 holds temporarily the light data supplied from the outside through the I/O circuit 11, and the lead read from the memory circuit 14. The light data for for example, 1 page (256 bytes) are stored in this data buffer 13.

[0030] The memory circuit 14 consists of a memory cell array and a circumference circuit for memory cell array access containing a low decoder, column data, etc. A register 15 holds the count data of maximum write-in trial. This count data of maximum write-in trial specifies the upper limit of the count of a repeat of the write-in trial actuation performed after a write error is detected. Although the value of this count of maximum write-in trial is initialized by for example, "20" times, it can be changed into any value with a register rewriting command.

[0031] Next, the flow chart of drawing 2 is referred to and actuation of the flash EEPROM 10 at the time of data writing is explained. As mentioned above, at the time of data writing, the light address, RAIDO data, and a light command are inputted into the data I/O pin (I/O) of a flash EEPROM 10

from the exterior in order. In this case, the I/O circuit 11 is transmitted to a control circuit 12 about the light address and the light command which were received through the data I/O pin (I/O), and is transmitted to a data buffer 13 about light data (steps S11 and S12). The classification of the address, data, and a command is discriminable with the transfer sequence etc. Moreover, since an address latch enable signal (ALE) is energized at the time of an address input, the timing of an address input is also discriminable with this. The sequential transfer of the light data is carried out by 8 bitwises, and 1 page, i.e., the data for 256 bytes, is accumulated in a data buffer 13.

[0032] If a light command is received, the controller 121 of a control circuit 12 will perform data write-in processing to a memory cell array using the read/write control circuit 123, after it makes a busy condition RIDI / busy signal output pin (READY/BUSY) (step S13). In this data write-in processing, the data stored in the data buffer 13 are transmitted to a memory cell array, and the data for 256 bytes are written in the location specified by the light address.

[0033] Then, a controller 121 performs program verification actuation using the read/write control circuit 123 and the verification circuit 122 (step S14). In this program verification actuation, the data written in the memory cell array are read by the read/write control circuit 123, and are sent to the verification circuit 122. The verification circuit 122 compares the data read from the memory cell array with the light data currently held at the data buffer 13, and outputs the detecting signal which shows the existence of the coincidence to a controller 121. In this case, if data writing is performed normally, a comparison result will be in agreement and writing will not be performed normally, a comparison result serves as an inequality.

[0034] A controller 121 returns outside the status which makes a ready state a ready / busy signal output pin (READY/BUSY), and shows normal termination while ending write-in processing, if the detecting signal which shows coincidence from the verification circuit 122 is received (verification O.K.). And it waits for the following command.

[0035] On the other hand, when the detecting signal which shows an inequality from the verification circuit 122 is received, a controller 121 tries write-in processing of step S13, and program verification processing of step S14 again using the read/write control circuit 123 and the verification circuit 122. Processing write-in [ these ] and program verification processing are repeated until write-in processing is performed correctly or the count of trial of write-in processing becomes the count of maximum write-in trial of a register 15.

[0036] Even if it \*\*\*\* to the count of maximum write-in trial, when writing is not performed correctly, (step S16) and a controller 121 output an error signal from an error signal output pin (ERROR), and return the status of a write error outside. This status shows that the defect cel is contained in the page for writing.

[0037] In this case, correspondence of not using a defect page by modification of the light address inside the RAM disk equipment which uses a flash EEPROM 10 etc. is taken, or chip exchange of that flash EEPROM 10 is performed.

[0038] Next, with reference to the flow chart of drawing 3 , modification processing of the count of maximum write-in trial is explained. When changing the value of the count of maximum write-in trial, the new count data of maximum write-in trial and a register rewriting command are inputted into the data I/O pin (I/O) of a flash EEPROM 10 from the exterior in order. In this case, the I/O circuit 11 is transmitted to a data buffer 13 about the count data of maximum write-in trial received through the data I/O pin (I/O), and is transmitted to a control circuit 12 about a register rewriting command (steps S21 and S22).

[0039] If a register rewriting command is received, the controller 121 of a control circuit 12 will update the contents of the register 15 using the register control circuit 124, after it makes a busy



condition a ready / busy signal output pin (READY/BUSY) (step S23). In an update process of this register, it writes in a register 15, a clock is given by the register control circuit 124, and the 8-bit count data of maximum write-in trial currently held at the data buffer 13 are set to a register 15. Thereby, the contents of the register 15 are updated by the new value.

[0040] Such modification processing of the count of maximum write-in trial can be performed at any time, if it is a time of a flash EEPROM 10 being in a ready state. As mentioned above, in the flash EEPROM 10 of this example, the count data of maximum write-in trial in which the maximum of the count of write-in trial performed repeatedly is shown are set to the register 15 by the read/write control circuit 123, and the contents of that register 15 are updated according to the register rewriting command from the outside. Therefore, a user can set up now freely the value of the count of maximum write-in trial, and it becomes possible to change the chip engine performance freely according to the application of a flash EEPROM 10.

[0041] If the count of maximum write-in trial is set as 20 times or more of comparatively big values, the probability of occurrence of the error status which shows that a defect cel exists becomes low, and can prolong the life of a flash EEPROM 10 as a result. On the other hand, if the count of maximum write-in trial is set as 10 or less times of comparatively small values, although the probability of occurrence of the error status which shows that a defect cel exists will become high and the life of a chip will become short, average drawing speed can be raised remarkably.

[0042] In addition, although the dedicated register 15 for holding the count data of maximum write-in trial was formed in this example, a part of data buffer 13 and memory cell array can also be used as a count data storage field of maximum write-in trial. Moreover, it constitutes from a flip-flop, and also a register 15 is also realizable using the cel of a memory cell array, and the cel of the same structure.

[0043] Furthermore, although the pin of an error signal output only was prepared, error status can also be returned here using other pins. The configuration of the RAM disk equipment which used the flash EEPROM of drawing 1 is shown in drawing 4 .

[0044] This RAM disk equipment 20 is used as secondary storage of a personal computer as an alternative of a hard disk drive unit or a floppy disk drive unit, and has a PCMCIA interface or an IDE interface. This RAM disk equipment 20 is equipped with five flash EEPROMs 21-1 to 21-5 which have the configuration respectively same as a component for data storage as the flash EEPROM 10 of drawing 1 .

[0045] Moreover, this RAM disk equipment 20 is equipped with the access controller 22, the host interface controller 23, the host interface 24, and the data buffer 25. An access controller 22 carries out the access control of the flash EEPROM 21-1 to 21-5 according to the disk-accessing demand supplied from the host CPU through the host interface 24 and the host interface controller 23.

[0046] The command method which specifies the mode of operation of a flash EEPROM with a command that it mentioned this access above realizes. For this reason, since light actuation is performed inside a flash EEPROM, for example in a write mode after light data are transmitted to the data buffer of the flash EEPROM for access, an access controller 22 is released from control of that light access.

[0047] The address translation table 221 is formed in this access controller 22. Correspondence relation with the memory address (a memory address, chip number) for accessing the disk address (the track number, the sector number, head number) and flash EEPROM 21-1 to 21-5 from the host CPU is defined as the address translation table 221.

[0048] The host interface 24 has the pin assignment of 40 pins based on the IDE interface like the

hard disk drive unit connectable with a host system bus, or the pin assignment of 68 pins based on the PCMCIA interface like the IC card with which IC card slot can be equipped.

[0049] The host interface controller 23 is used as the host interface 24 and an interface between access controllers 22, and two or more registers in which read/write is possible are prepared here by the host CPU.

[0050] A data buffer 25 holds light data and the read-out data from a flash memory 21-1 to 21-5 which have been sent from the host CPU. An access controller 22 performs selection of a flash EEPROM 21-1 to 21-5, read/write control of the data to the selected flash EEPROM, etc. In this case, an access controller 22 supplies the chip enable signal CE to a flash EEPROM 21-1 to 21-5 alternatively, in order to choose the flash EEPROM corresponding to the memory chip number outputted from an address translation table 221. Moreover, an access controller 22 carries out sequential count-up of the start address so that the memory address outputted from an address translation table 221 may be generated as a start address and read/write actuation of the data for data size sent from the host CPU may be performed.

[0051] Thus, if the constituted RAM disk equipment 20 is used, a user can set up the engine performance of RAM disk equipment 20 the very thing according to an application by updating the count data of maximum write-in trial in a chip according to the directions from an access controller 22.

[0052] Moreover, since the value of the count of maximum write-in trial can be separately set up to five flash EEPROMs 21-1 to 21-5 For example, in order to raise dependability about the flash EEPROM management information, such as FAT, is remembered to be, the value of the count of maximum write-in trial is set up comparatively greatly. In order to speed up drawing speed about the flash EEPROM user data are remembered to be, employment of setting up comparatively small the value of the count of maximum write-in trial can also be performed.

[0053] In addition, although explained here taking the case of the case where program verification actuation is performed automatically, within the flash EEPROM, the access controller 22 of RAM disk equipment 20 is able to specify verification actuation in detail with a command.

[0054] In this case, the register 15 and the verification circuit 121 of drawing 1 are prepared in an access controller 22, and if it constitutes so that the contents of that register may be rewritten by the command from the host CPU, a user can set up the engine performance of RAM disk equipment 20 the very thing according to an application similarly. At this time, error status is sent to a host computer from RAM disk equipment 20.

[0055]

[Effect of the Invention] As explained above, according to this invention, the count of maximum write-in trial can be set now as any value, and it enables a user to change the chip engine performance freely according to an application.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the flash EEPROM concerning one

example of this invention.

[Drawing 2] The flow chart explaining data write-in actuation of the flash EEPROM of this example.

[Drawing 3] The flow chart explaining the count modification actuation of maximum write-in trial of the flash EEPROM of this example.

[Drawing 4] The block diagram showing the configuration of the RAM disk equipment which used the flash EEPROM of drawing 1 .

[Description of Notations]

10 [ -- A data buffer, 14 / -- A memory circuit, 15 / -- A register, 121 / -- A controller, 122 / -- A verification circuit, 123 / -- A read/write circuit, 124 / -- Register control circuit. ] -- A flash EEPROM, 11 -- An I/O circuit, 12 -- A control circuit, 13

-----  
[Translation done.]

(11) 特許出願公開番号

(43)公開日 平成7年(1995)1月17日

(21)出願番号	特願平5-142193	(71)出願人	000003078 株式会社東芝
(22)出願日	平成5年(1993)6月14日	(72)発明者	上田 国生 神奈川県横浜市末広町2丁目9番地 株式会 社東芝青梅工場内
		(74)代理人	弁理士 鈴江 武彦

入出力回路

コントローラ

データバッファ

ペリファリ

リード/ライト制御

レジスタ

レジスタ制御

メモリ回路

セクタレイト + デコーダ

フラッシュEEPROM

## 【特許請求の範囲】

【請求項1】 メモリセルアレイと、

外部から供給される書き込みデータを前記メモリセルアレイに書き込む書き込み手段と、

この書き込み手段によって前記メモリセルアレイに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリファイ手段と、

このベリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ベリファイ手段によってデータ書き込み動作の正常実行が検証されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、

前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされるデータ保持手段と、

前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事示すステータス信号を外部に通知するエラー通知手段と、

外部からの要求に応じて前記データ保持手段の内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項2】 前記不揮発性半導体メモリはフラッシュEEPROMであることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項3】 フラッシュEEPROMと、このフラッシュEEPROMをホストコンピュータからの要求に応じてアクセス制御するコントローラとを有する半導体ディスク装置において、

前記フラッシュEEPROMは、前記半導体ディスク装置のコントローラから供給される書き込みデータを前記メモリセルアレイに書き込む書き込み手段と、

この書き込み手段によって前記メモリセルアレイに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリファイ手段と、

このベリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ベリファイ手段によってデータ書き込み動作の正常実行が検証されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、

前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされるデータ保持手段と、

前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事示すステータス信号を前記コントローラ

に通知するエラー通知手段と、

前記コントローラからの要求に応じて前記レジスタの内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする半導体ディスク装置。

【請求項4】 フラッシュEEPROMと、このフラッシュEEPROMをホストコンピュータからの要求に応じてアクセス制御するコントローラとを有する半導体ディスク装置において、

前記コントローラは、前記フラッシュEEPROMをアクセス制御し、前記ホストから供給される書き込みデータを前記フラッシュEEPROMに書き込む書き込み手段と、

この書き込み手段によって前記フラッシュEEPROMに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリファイ手段と、

このベリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ベリファイ手段によってデータ書き込み動作の正常実行が検出されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、

前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされると、

前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事示すステータス信号を前記ホストコンピュータに通知するエラー通知手段と、

前記ホストコンピュータからの要求に応じて前記レジスタの内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする半導体ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、不揮発性半導体メモリおよびそれを使用した半導体ディスク装置に関する。

【0002】

【従来の技術】従来のワークステーションやパーソナルコンピュータ等の情報処理装置の多くは、記憶装置として磁気ディスク装置を用いていた。磁気ディスク装置は、記録の信頼性が高い、ビット単価が安いなどの利点がある反面、装置のサイズが大きい、物理的な衝撃に弱いなどの欠点を持つ。

【0003】すなわち、磁気ディスク装置は、磁気ヘッドを回転ディスク表面に走らせることによって、データを回転ディスク上に磁気的に書き込む、あるいはそれらを読み出すという動作原理である。この回転ディスクや磁気ヘッドといった機械的な可動部分は、装置に物理的な衝撃が与えられることによって誤動作や故障が発生す

る恐れがある。またそのような機械的可動部を必要とする事が、装置全体のサイズを小さくする障害となっている。

【0004】このため、磁気ディスク装置は、机上に固定して使用するデスクトップタイプのコンピュータで用いるにはあまり支障とならないが、持ち運び可能で小型なラップトップコンピュータやノートブックコンピュータにおいては、これらの欠点は大きな問題となる。

【0005】そこで、近年、装置のサイズが小さく物理的な衝撃にも強いシリコンディスク装置に注目が集まっている。シリコンディスク装置とは、電気的に一括消去が可能で不揮発メモリであるフラッシュEEPROMを、従来の磁気ディスク装置などと同様にパーソナルコンピュータなどの2次記憶装置として用いるものである。このシリコンディスク装置には、磁気ディスク装置のような機械的な可動部分がないため、物理的な衝撃による誤動作や故障は発生しにくい。また、装置としてのサイズも小さくなる等の利点がある。

【0006】しかし、このシリコンディスク装置の構成要素であるフラッシュメモリは、同一メモリセルに対するデータ書き込み/消去の繰り返しによって、そのメモリセル中の酸化膜が徐々に劣化されるという特徴を持っている。酸化膜の劣化が進むと、正しいデータの書き込みや読み出しを行うことができなくなる。このため、フラッシュメモリの書き替え回数の限界値は、10の6乗程度以下の回数に制限されている。この書き替え可能回数の限界値は、フラッシュメモリを有するシリコンディスク装置を磁気ディスク装置などと同様にコンピュータの記憶装置として用いるには、必ずしも充分な値とはいえない。

【0007】書き替え可能回数の限界値に達したか否かは、プログラムベリファイ動作を利用して検出される。このプログラムベリファイ動作は、データ書き込み動作に後続してフラッシュメモリ内で自動実行される動作であり、その動作は次の通りである。

【0008】すなわち、フラッシュメモリのプログラム動作においては、まず、外部からの書き込みアドレスおよび書き込みデータにしたがってデータ書き込み動作が行われ、次いで、そのデータ書き込み動作が正常に実行されたか否かの確認のためのプログラムベリファイ動作が行われる。このプログラムベリファイ動作では、メモリセルに書き込まれた実際のデータ内容とフラッシュメモリ内のレジスタに保持されているライトデータとが比較され、一致すればベリファイOKを示すステータスがフラッシュメモリから外部回路に出力され、プログラム動作が終了される。

【0009】一方、不一致の場合には、データ書き込み動作が再試行され、その後、プログラムベリファイ動作が再び行われる。データ書き込み動作の再試行は、ベリファイOKになるまで繰り返される。この場合、再試行

の繰り返し回数がある一定値を越えると、書き込み失敗を示すステータスがフラッシュメモリから外部回路に出力される。外部回路は、書き込み失敗を示すステータスを一旦受け取るとフラッシュメモリ内の該当する記憶領域に書き込み可能回数を越えたメモリセルがあると判断する。そして、以降は、その記憶領域を使用しない等の対応が取られたり、そのフラッシュメモリのチップ交換等が行われる。

【0010】しかしながら、従来では、データ書き込み動作の最大試行回数はフラッシュメモリのチップ毎に決められた固定値であったので、フラッシュメモリの利用用途によっては次のような不具合が発生する。

【0011】すなわち、フラッシュメモリの使用期間は短くても構わないが、速い書き込み速度が必要であるという用途の場合、最大書き込み試行回数が20回に定められているとすると、最悪の場合には、同じ領域に対して20回の試行を行った後でないと、次のデータ書き込み動作に移行できないことになる。

【0012】もし、ユーザが最大書き込み試行回数をもっと低い値に設定し直すことができれば、書き込み可能回数を越えたと判断される頻度は上がりチップの使用可能期間は短縮される。しかし、その反面、ある1つのプログラム命令に対してフラッシュメモリのチップ内で実際に実行されるデータ書き込み回数の平均値が減少するので、書き込み速度の実効値を向上させる事ができる。

【0013】つまり、フラッシュメモリの寿命およびその書き込み平均速度は最大書き込み試行回数の値によって左右される。したがって、最大書き込み試行回数の値が固定されている従来のフラッシュメモリを使用した場合には、そのフラッシュメモリの用途に係わらず、ある一定の性能しか実現することができないという不具合が生じる。

【0014】

【発明が解決しようとする課題】従来のメモリでは、最大書き込み試行回数の値が固定的に規定されているので、チップの寿命およびデータ書き込み速度を含むチップ性能が一義的に規定されてしまう欠点があった。

【0015】この発明はこのような点に鑑みてなされたもので、最大書き込み試行回数を任意の値に設定できるようにし、用途に応じてチップ性能を自由に変更する事ができる不揮発性半導体メモリを提供することを目的とする。

【0016】

【課題を解決するための手段および作用】この発明の不揮発性半導体メモリは、メモリセルアレイと、外部から供給される書き込みデータを前記メモリセルアレイに書き込む書き込み手段と、この書き込み手段によって前記メモリセルアレイに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリフ

10

20

30

40

50

ファイ手段と、このペリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ペリファイ手段によってデータ書き込み動作の正常実行が検証されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされるデータ保持手段と、前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事を示すステータス信号を外部に通知するエラー通知手段と、外部からの要求に応じて前記データ保持手段の内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする。

【0017】この不揮発性半導体メモリにおいては、書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがデータ保持手段にセットされており、そのデータ保持手段の内容は外部からの要求に応じて更新される。したがって、最大書き込み試行回数の値をユーザが自由に設定できるようになり、そのメモリの用途に応じてチップ性能を自由に変更する事が可能となる。

【0018】例えば、最大書き込み試行回数を例えば20回以上の比較的大きな値に設定すれば、不良セルが存在する事を示すステータス信号の発生確率が低くなり、結果的に不揮発性半導体メモリの寿命を延ばすことができる。一方、最大書き込み試行回数を例えば10回以下の比較的小きな値に設定すれば、不良セルが存在する事を示すエラーステータスの発生確率は高くなりチップの寿命は短くなるものの、平均書き込み速度を著しく向上させることができる。

【0019】

【実施例】以下、図面を参照してこの発明の実施例を説明する。図1にはこの発明の一実施例に係わるフラッシュEEPROMのチップ内のロジックが示されている。このフラッシュEEPROM10はNAND型のメモリであり、データの書き込みは例えば512バイトのページ単位で行われ、データ消去は4Kバイトのブロック単位で実行されるように構成されている。

【0020】このフラッシュEEPROM10には、図示のように、入出力回路11、制御回路12、データバッファ13、およびメモリ回路14が設けられており、これらは同一チップ上に集積形成されている。

【0021】入出力回路11は、外部回路との間でアドレス、データ、各種制御信号を授受するためのものであり、各種入出力ピンに結合されている。フラッシュEEPROM10のピンには、データ入出力ピン(I/O)、チップイネーブル信号入力ピン(CE)、レディ/ビジー信号出力ピン(READY/BUSY)、ライトイネーブル信号入力ピン(WE)、アウトプットイ

ネーブル信号入力ピン(OE)、アドレスラッチイネーブル信号入力ピン(ALE)、エラー信号出力ピン(ERROR)、等が含まれている。

【0022】データ入出力ピン(I/O)は、リード/ライトデータの入出力の他、アドレスやコマンドの入力にも利用される。フラッシュEEPROM10の動作モード(ライト、リード、消去、ペリファイ等)の指定はコマンドによって行われる。例えば、データ書き込み時においては、ライトアドレス、ライトデータ、ライトコマンドが順にデータ入出力ピン(I/O)に入力され、これによってフラッシュEEPROM10のデータ書き込み動作が実行される。この場合、ライトアドレスおよびライトコマンドは入出力回路11から制御回路12に送られ、ライトデータは入出力回路11からデータバッファ13に送られる。

【0023】また、データ入出力ピン(I/O)を介して入力されるコマンドには、レジスタ書き替えコマンドもある。このレジスタ書き替えコマンドは、レジスタ15にセットされている最大書き込み回数情報の変更を示す。

【0024】制御回路12は、メモリ回路14のライト、リード、消去、ペリファイ等の動作制御を初め、レジスタ15の書き替え制御を行う。この制御回路12の動作は、コマンドにしたがって制御される。

【0025】制御回路12には、図示のように、コントローラ121、ペリファイ回路122、リード/ライト制御回路123、およびレジスタ制御回路124が含まれている。コントローラ121は入力コマンドを解釈し、その入力コマンドの内容にしたがってペリファイ回路122、リード/ライト制御回路123およびレジスタ制御回路124を制御する。

【0026】ペリファイ回路122は、メモリ回路14内のメモリセルアレイに書き込まれたデータ内容とデータバッファ13に残っているライトデータを比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検出する。この検出結果は、コントローラ121に送られる。

【0027】リード/ライト制御回路123は、メモリ回路14内のメモリセルアレイに対するデータの書き込み、読み出し、消去を制御するためのものであり、アドレスおよび各種制御信号をメモリ回路14に供給する。

【0028】レジスタ制御回路124は、レジスタ15への最大書き込み試行回数データの書き込みを制御する。このレジスタ15に書き込まれた最大書き込み試行回数データは、コントローラ121によって読み出される。

【0029】データバッファ13は、入出力回路11を介して外部から供給されるライトデータや、メモリ回路14から読み出されたリードを一時的に保持する。このデータバッファ13には、例えば1ページ(256バイ

10

20

30

40

50

ト) 分のライトデータが蓄積される。

【0030】メモリ回路14は、メモリセルアレイと、ロウデコーダ、カラムデータ等を含むメモリセルアレイアクセスのための周辺回路とから構成されている。レジスタ15は、最大書き込み試行回数データを保持する。この最大書き込み試行回数データは、書き込みエラーが検出された後に実行される書き込み試行動作の繰り返し回数の上限値を規定するものである。この最大書き込み試行回数の値は例えば“20”回に初期設定されているが、レジスタ書き換えコマンドによって任意の値に変更

【0031】次に、図2のフローチャートを参照して、データ書き込み時におけるフラッシュEEPROM10の動作を説明する。前述したように、データ書き込み時には、ライトアドレス、ライトデータ、ライトコマンドが順に外部からフラッシュEEPROM10のデータ入出力ピン(I/O)に入力される。この場合、入出力回路11は、データ入出力ピン(I/O)を介して受信したライトアドレス、ライトコマンドについては制御回路12に転送し、ライトデータについてはデータバッファ13に転送する(ステップS11、S12)。アドレス、データ、コマンドの種類は、その転送順序等によって識別できる。また、アドレス入力時にはアドレスラッチエナブル信号(ALE)が付与されるので、アドレス入力のタイミングはこれによって識別することもできる。ライトデータは8ビット単位で順次転送され、1ページすなわち256バイト分のデータがデータバッファ13に蓄積される。

【0032】制御回路12のコントローラ121は、ライトコマンドを受信すると、レディー/ビジー信号出力ピン(READY/BUSY)をビジー状態にした後、リード/ライト制御回路123を用いてメモリセルアレイに対するデータ書き込み処理を実行する(ステップS13)。このデータ書き込み処理においては、データバッファ13に蓄積されたデータがメモリセルアレイに転送され、ライトアドレスによって指定された位置に256バイト分のデータが書き込まれる。

【0033】続いて、コントローラ121は、リード/ライト制御回路123およびペリファイ回路122を利用して、プログラムペリファイ動作を実行する(ステップS14)。このプログラムペリファイ動作においては、メモリセルアレイに書き込んだデータがリード/ライト制御回路123によって読み出され、ペリファイ回路122に送られる。ペリファイ回路122は、メモリセルアレイから読み出されたデータとデータバッファ13に保持されているライトデータとを比較し、その一致の有無を示す検出信号をコントローラ121に出力する。この場合、データ書き込みが正常に実行されていれば比較結果は一致し、書き込みが正常に行なわれなければ比較結果は不一致となる。

【0034】コントローラ121は、ペリファイ回路122から一致を示す検出信号を受信すると(ペリファイOK)、書き込み処理を終了すると共に、レディー/ビジー信号出力ピン(READY/BUSY)をレディー状態にして正常終了を示すステータスを外部に返送する。そして、次のコマンドを待つ。

【0035】一方、ペリファイ回路122から不一致を示す検出信号を受信した時には、コントローラ121は、リード/ライト制御回路123およびペリファイ回路122を利用して、再びステップS13の書き込み処理とステップS14のプログラムペリファイ処理を試行する。これら書き込み処理とプログラムペリファイ処理は、書き込み処理が正しく行われるか、あるいは書き込み処理の試行回数がレジスタ15の最大書き込み試行回数に達するまで繰り返される。

【0036】最大書き込み試行回数に達しても書き込みが正しく実行されなかった場合には(ステップS16)、コントローラ121は、エラー信号出力ピン(ERROR)からエラー信号を出力して書き込みエラーのステータスを外部に返送する。このステータスは、書き込み対象のページに不良セルが含まれていることを示すものである。

【0037】この場合には、フラッシュEEPROM10を使用する半導体ディスク装置内部でのライトアドレスの変更等によって不良ページを使用しない等の対応が取られたり、そのフラッシュEEPROM10のチップ交換が行われる。

【0038】次に、図3のフローチャートを参照して、最大書き込み試行回数の変更処理を説明する。最大書き込み試行回数の値を変更する時には、新たな最大書き込み試行回数データ、レジスタ書き換えコマンドが順に外部からフラッシュEEPROM10のデータ入出力ピン(I/O)に入力される。この場合、入出力回路11は、データ入出力ピン(I/O)を介して受信した最大書き込み試行回数データについてはデータバッファ13に転送し、レジスタ書き換えコマンドについては制御回路12に転送する(ステップS21、S22)。

【0039】制御回路12のコントローラ121は、レジスタ書き換えコマンドを受信すると、レディー/ビジー信号出力ピン(READY/BUSY)をビジー状態にした後、レジスタ制御回路124を用いてレジスタ15の内容を更新する(ステップS23)。このレジスタの更新処理においては、レジスタ制御回路124によってレジスタ15に書き込みクロックが与えられ、データバッファ13に保持されている例えば8ビットの最大書き込み試行回数データがレジスタ15にセットされる。これにより、レジスタ15の内容は、新たな値に更新される。

【0040】このような最大書き込み試行回数の変更処理は、フラッシュEEPROM10がレディー状態にあ



るときなら何時でも行うことができる。以上のように、この実施例のフラッシュEEPROM10においては、リード/ライト制御回路123によって繰り返し実行される書き込み試行回数の最大値を示す最大書き込み試行回数データがレジスタ15にセットされており、そのレジスタ15の内容は外部からのレジスタ書き替えコマンドに応じて更新される。したがって、最大書き込み試行回数の値をユーザが自由に設定できるようになり、フラッシュEEPROM10の用途に応じてチップ性能を自由に変更する事が可能となる。

【0041】最大書き込み試行回数を例えば20回以上の比較的大きな値に設定すれば、不良セルが存在する事を示すエラーステータスの発生確率が低くなり、結果的にフラッシュEEPROM10の寿命を延ばすことができる。一方、最大書き込み試行回数を例えば10回以下の比較的小きな値に設定すれば、不良セルが存在する事を示すエラーステータスの発生確率は高くなりチップの寿命は短くなるものの、平均書き込み速度を著しく向上させることができる。

【0042】なお、この実施例では、最大書き込み試行回数データを保持するための専用レジスタ15を設けたが、データバッファ13やメモリアルレイの一部を最大書き込み試行回数データの記憶領域として利用することもできる。また、レジスタ15はフリップフロップで構成するほか、メモリアルレイのセルと同一構造のセルを用いて実現することもできる。

【0043】さらに、ここでは、エラー信号出力専用のピンを設けたが、他のピンを利用してエラーステータスを返送することもできる。図4には、図1のフラッシュEEPROMを使用した半導体ディスク装置の構成が示されている。

【0044】この半導体ディスク装置20は、ハードディスク装置やフロッピーディスク装置の代替としてパーソナルコンピュータの2次記憶装置として使用されるものであり、例えば、PCMCIAインターフェース、またはIDEインターフェースを有する。この半導体ディスク装置20は、データ記憶要素として図1のフラッシュEEPROM10とそれぞれ同一の構成を有する5個のフラッシュEEPROM21-1~21-5を備えている。

【0045】また、この半導体ディスク装置20は、アクセスコントローラ22、ホストインターフェースコントローラ23、ホストインターフェース24、およびデータバッファ25を備えている。アクセスコントローラ22は、ホストインターフェース24およびホストインターフェースコントローラ23を介してホストCPUから供給されるディスクアクセス要求に応じて、フラッシュEEPROM21-1~21-5をアクセス制御する。

【0046】このアクセスは、前述したようにフラッシュ

EEPROMの動作モードをコマンドによって指定するコマンド方式で実現される。このため、例えばライトモードにおいては、アクセス対象のフラッシュEEPROMのデータバッファにライトデータが転送された後は、フラッシュEEPROM内部でライト動作が実行されるので、アクセスコントローラ22はそのライトアクセスの制御から解放される。

【0047】このアクセスコントローラ22には、アドレス変換テーブル221が設けられている。アドレス変換テーブル221には、ホストCPUからのディスクアドレス(トラック番号、セクタ番号、ヘッド番号)とフラッシュEEPROM21-1~21-5をアクセスするためのメモリアドレス(メモリアドレス、チップ番号)との対応関係が定義されている。

【0048】ホストインターフェース24は、ホストシステムバスに接続可能なハードディスク装置と同様に例えばIDEインターフェースに準拠した40ピンのピン配置、またはICカードスロットに装着可能なICカードと同様に例えばPCMCIAインターフェースに準拠した68ピンのピン配置を有している。

【0049】ホストインターフェースコントローラ23は、ホストインターフェース24とアクセスコントローラ22間のインターフェースとして使用されるものであり、ここには、ホストCPUによってリード/ライト可能な複数のレジスタが設けられている。

【0050】データバッファ25は、ホストCPUから送られてきたライトデータやフラッシュメモリ21-1~21-5からの読み出しデータを保持する。アクセスコントローラ22は、フラッシュEEPROM21-1~21-5の選択、およびその選択したフラッシュEEPROMに対するデータのリード/ライト制御等を行なう。この場合、アクセスコントローラ22は、アドレス変換テーブル221から出力されるメモリチップ番号に対応するフラッシュEEPROMを選択するために、フラッシュEEPROM21-1~21-5に選択的にチップイネーブル信号CEを供給する。また、アクセスコントローラ22は、アドレス変換テーブル221から出力されるメモリアドレスを先頭アドレスとして発生し、そしてホストCPUから送られてきたデータサイズ分のデータのリード/ライト動作が実行されるように、その先頭アドレスを順次カウントアップする。

【0051】このように構成された半導体ディスク装置20を使用すれば、アクセスコントローラ22からの指示に応じてチップ内の最大書き込み試行回数データを更新することによって、半導体ディスク装置20自体の性能をユーザが用途に応じて設定することができる。

【0052】また、5個のフラッシュEEPROM21-1~21-5に対して別個に最大書き込み試行回数の値を設定できるので、例えば、FAT等の管理情報が記憶されるフラッシュEEPROMについては信頼性を高

めるために最大書き込み試行回数の値を比較的大きく設定し、ユーザデータが記憶されるフラッシュEEPROMについては書き込み速度を速めるために最大書き込み試行回数の値を比較的小きく設定するという運用を行うこともできる。

【0053】なお、ここでは、フラッシュEEPROM内で自動的にプログラムベリファイ動作が行われる場合を例にとって説明したが、半導体ディスク装置20のアクセスコントローラ22がコマンドによって逐べリファイ動作を指定することも可能である。

【0054】この場合においては、図1のレジスタ15およびベリファイ回路121をアクセスコントローラ22内に設け、そのレジスタの内容がホストCPUからのコマンドによって書き替えられるように構成すれば、同様にして半導体ディスク装置20自体の性能をユーザが用途に応じて設定することができる。このとき、エラーステータスは半導体ディスク装置20からホストコンピュータに送られる。

【0055】

\*【発明の効果】以上説明したように、この発明によれば、最大書き込み試行回数を任意の値に設定できるようになり、ユーザが用途に応じてチップ性能を自由に変更する事が可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るフラッシュEEPROMの構成を示すブロック図。

【図2】同実施例のフラッシュEEPROMのデータ書き込み動作を説明するフローチャート。

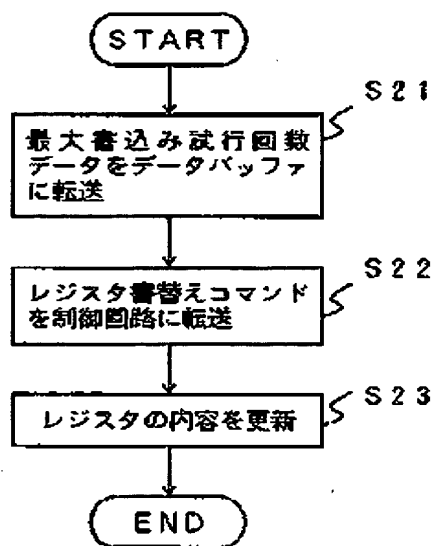
10 【図3】同実施例のフラッシュEEPROMの最大書き込み試行回数変更動作を説明するフローチャート。

【図4】図1のフラッシュEEPROMを使用した半導体ディスク装置の構成を示すブロック図。

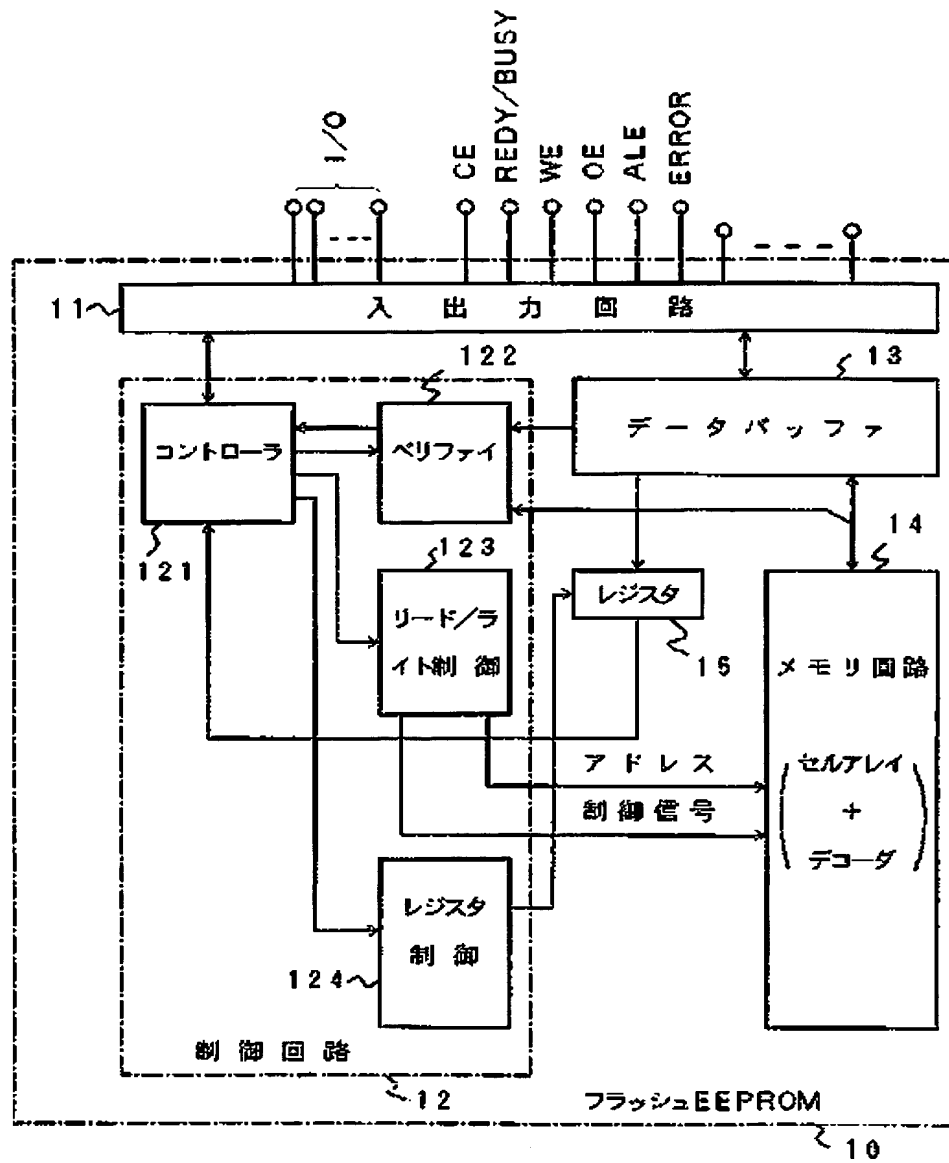
【符号の説明】

10…フラッシュEEPROM、11…入出力回路、12…制御回路、13…データバッファ、14…メモリ回路、15…レジスタ、121…コントローラ、122…ベリファイ回路、123…リード/ライト回路、124…レジスタ制御回路。

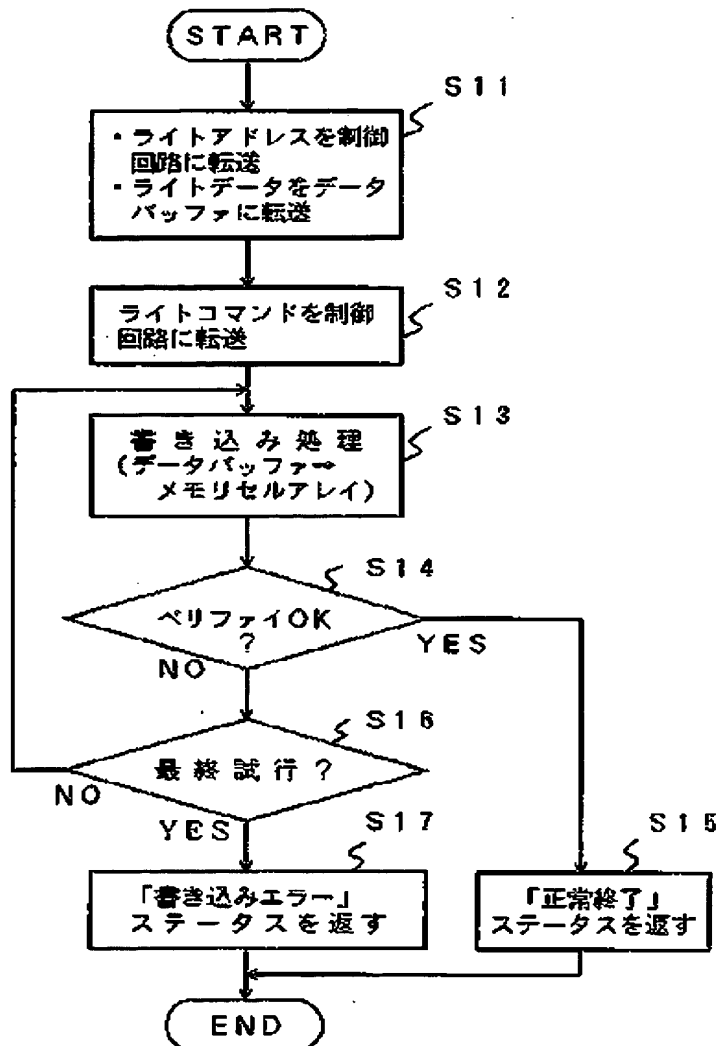
【図3】



【図1】



【図2】



【図4】

